



ZAŁĄCZNIK NR 1 DO
ZAPYTANIA OFERTOWEGO 6/2020
SZCZEGÓŁOWY OPIS PRZEDMIOTU ZAMÓWIENIA

I. Przedmiot zamówienia: Zatrudnienie pracownika na stanowisku „**Developer HDL/Specjalista ARTIQ**”

KOD CPV: 73300000-5 - Projekt i realizacja badań oraz rozwój

1. Przedmiotem zamówienia jest rekrutacja na stanowisko „**Developer HDL/Specjalista ARTIQ**” w formie umowy zlecenia w ramach projektu „Niskolatencyjny, synchroniczny i skalowalny system SDR”, wybranego w konkursie Ścieżka dla Mazowsza i współfinansowanego przez Narodowe Centrum Badań i Rozwoju.
2. Prace obejmą:
 - opracowanie architektury systemu realizującego procesy testowania poprodukcyjnego modułów elektronicznych z zakresu RF/SDR, szybkich układów ADC/DAC, TDC/DTC z uwzględnieniem wykorzystania środowiska ARTIQ
 - uruchamianie i weryfikację wyprodukowanych prototypów modułów elektronicznych (tworzenie projektów HDL dla układów FPGA, integracja ze środowiskiem ARTIQ)
 - opracowanie metodyki oraz procedur testowania poprodukcyjnego poszczególnych modułów z uwzględnieniem możliwości wykorzystania środowiska ARTIQ do realizacji procesu testowania
 - implementację testów poszczególnych funkcji modułów elektronicznych (ARTIQ oraz HDL)
 - aktywną współpracę z Programistami, Projektantami Hardware oraz Testerami w zakresie projektowania, implementacji i wdrażania systemów i stanowisk testujących
 - tworzenie dokumentacji projektowej dotyczącej wykonanych prac.
3. Dyspozycyjność w okresie: od 20.04.2020 r. do 31.12.2022 r.
4. Po wyborze Wykonawca zostanie zatrudniony na okres nie dłuższy niż 35 miesięcy.
5. Warunki realizacji zamówienia: Zamówienie realizowane będzie w oparciu o umowę cywilnoprawną (umowa zlecenie).
6. Realizacja zamówienia będzie rozliczana na podstawie pisemnego wykazu godzin wypracowanych w miesiącu, podpisanego przez strony umowy.
7. Termin płatności: raz w miesiącu za faktycznie przepracowane godziny.
8. Wykonawca osobiście wykona powierzone mu zadania w projekcie i będzie je wykonywał pod nadzorem Zamawiającego.
9. Do wykonawcy należy pełna dyspozycyjność w zakresie realizacji zadań.
10. Wykonawca zrzeknie się wszelkich praw autorskich związanych z pracami i badaniami wykonywanymi w związku z projektem na rzecz Zamawiającego.

II. Minimalne wymagania wobec wykonawcy:

1. Umiejętność programowania układów FPGA, znajomość VHDL/Verilog
2. Znajomość układów FPGA Xilinx



3. Znajomość środowiska ARTIQ oraz Migen
4. Znajomość języków programowania C, Python
5. Umiejętność czytania schematów elektrycznych
6. Podstawowa znajomość środowiska Altium Designer (przeglądanie projektów)
7. Umiejętność obsługi sprzętu laboratoryjnego (co najmniej zasilacz, multimetr, generator, oscyloskop)
8. Wykształcenie inżynierskie na kierunku elektronika, informatyka lub pokrewnym
9. Umiejętność efektywnej pracy w interdyscyplinarnym zespole – programiści, projektanci hardware, testerzy

Zamawiający dokona oceny spełnienia przez Wykonawcę minimalnych wymagań wg formuły spełnia/nie spełnia, na podstawie analizy złożonego przez Wykonawcę oświadczenia potwierdzającego wykształcenie i doświadczenie (w formie podpisanego CV).

Kierownik projektu

Wojciech Niedźwiedź